

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-055432
 (43)Date of publication of application : 20.02.2002

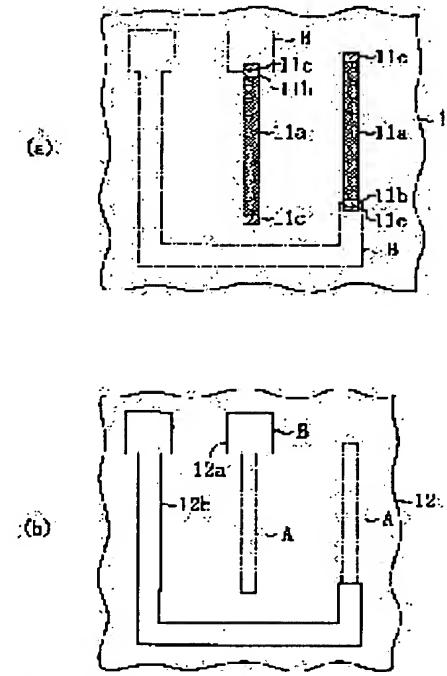
(51)Int.Cl. G03F 1/08
 G03F 7/20
 H01L 21/28
 H01L 21/027
 H01L 21/3065
 H01L 21/3205

(21)Application number : 2000-242055 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD
 (22)Date of filing : 10.08.2000 (72)Inventor : MATSUOKA KOJI

(54) PHOTOMASK DEVICE AND PATTERN FORMING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To decease the width dimensions of line parts without entailing the enlargement of the dimensions of space parts.
SOLUTION: A first photomask 11 drawn only with a first circuit pattern A of a line width of a prescribed value or below among the plural circuit patterns having electrodes and wiring and a second photomask 12 drawn only with the second circuit pattern B having the line width larger than the prescribed value among the plural circuit patterns are formed. A conductive film is subjected to etching by using a first mask pattern formed by using the first photomask 11 and a second mask pattern formed by using the second photomask 12 as a mask, by which the electrodes and wiring consisting of the conductive film are formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-55432

(P2002-55432A)

(43)公開日 平成14年2月20日 (2002.2.20)

(51)Int.Cl.⁷
G 0 3 F 1/08
7/20
H 0 1 L 21/28
21/027
21/3065

識別記号
5 2 1

F I
G 0 3 F 1/08
7/20
H 0 1 L 21/28
21/30
5 1 4 C 5 F 0 4 6

デマコード^{*}(参考)
A 2 H 0 9 5
5 2 1 4 M 1 0 4
D 5 F 0 0 4
5 0 2 P 5 F 0 3 3
5 1 4 C 5 F 0 4 6

審査請求 未請求 請求項の数15 OL (全 17 頁) 最終頁に続く

(21)出願番号 特願2000-242055(P2000-242055)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(22)出願日 平成12年8月10日(2000.8.10)

(72)発明者 松岡 昇次

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(74)代理人 10007/931

弁理士 前田 弘 (外7名)

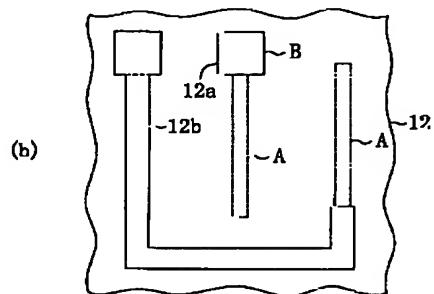
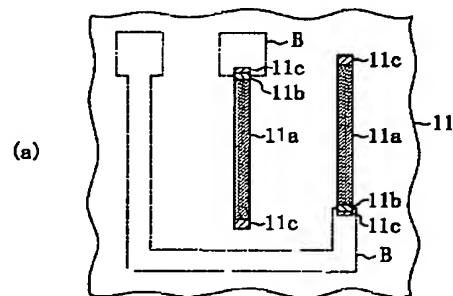
最終頁に続く

(54)【発明の名称】 フォトマスク装置及びパターン形成方法

(57)【要約】

【課題】 スペース部の寸法の拡大を招くことなくライン部の幅寸法を低減できるようにする。

【解決手段】 電極及び配線を有する複数の回路パターンのうちライン幅が所定値以下である第1の回路パターンAのみが描かれた第1のフォトマスク11と、複数の回路パターンのうちライン幅が所定値よりも大きい第2の回路パターンBのみが描かれた第2のフォトマスク12と作成する。導電膜に対して、第1のフォトマスク11を用いて形成された第1のマスクパターンと、第2のフォトマスク12を用いて形成された第2のマスクパターンとをマスクにしてエッチングを行なって、導電膜からなる電極及び配線を形成する。



【特許請求の範囲】

【請求項1】 電極及び配線を有する複数の回路パターンのうちライン幅が所定値以下である第1の回路パターンのみが描かれた第1のフォトマスクと、前記複数の回路パターンのうちライン幅が所定値よりも大きい第2の回路パターンのみが描かれた第2のフォトマスクとを備えていることを特徴とするフォトマスク装置。

【請求項2】 前記所定値は、 $0.35 \times \lambda / NA$ （但し、 λ は露光光の波長であり、NAは露光装置の開口数である）であることを特徴とする請求項1に記載のフォトマスク装置。

【請求項3】 前記第1の回路パターンはゲート電極のパターンであり、前記第2の回路パターンはゲート電極以外のパターンであることを特徴とする請求項1に記載のフォトマスク装置。

【請求項4】 電極及び配線を有する複数の回路パターンのうちライン幅が所定値以下である第1の回路パターンのみが描かれた第1のフォトマスクと、前記複数の回路パターンのうちライン幅が所定値よりも大きい第2の回路パターンのみが描かれた第2のフォトマスクとを作成する工程と、

導電膜に対して、前記第1のフォトマスクを用いて形成された第1のマスクパターンと、前記第2のフォトマスクを用いて形成された第2のマスクパターンとをマスクにしてエッチングを行なって、前記導電膜からなる電極及び配線を形成する工程とを備えていることを特徴とするパターン形成方法。

【請求項5】 電極及び配線を有する複数の回路パターンのうちライン幅が所定値以下である第1の回路パターンのみが描かれた第1のフォトマスクと、前記複数の回路パターンのうちライン幅が所定値よりも大きい第2の回路パターンのみが描かれた第2のフォトマスクとを作成する工程と、

導電膜の上に絶縁膜を堆積する工程と、

前記絶縁膜の上にポジ型の第1のレジスト膜を塗布する工程と、

前記第1のレジスト膜に前記第1のフォトマスクを介して第1の露光光を照射して前記第1のレジスト膜に前記第1の回路パターンを転写した後、前記第1のレジスト膜を現像して第1のレジストパターンを形成する工程と、

前記絶縁膜に対して前記第1のレジストパターンをマスクにしてエッチングを行なって、前記絶縁膜からなるハードマスクを形成する工程と、

前記導電膜の上にポジ型の第2のレジスト膜を塗布する工程と、

前記第2のレジスト膜に前記第2のフォトマスクを介して第2の露光光を照射して前記第2のレジスト膜に前記第2の回路パターンを転写した後、前記第2のレジスト

膜を現像して第2のレジストパターンを形成する工程と、

前記導電膜に対して、前記ハードマスク及び前記第2のレジストパターンをマスクにしてエッチングを行なって、前記導電膜からなる電極及び配線を形成する工程とを備えていることを特徴とするパターン形成方法。

【請求項6】 電極及び配線を有する複数の回路パターンのうちライン幅が所定値以下である第1の回路パターンのみが描かれた第1のフォトマスクと、前記複数の回路パターンのうちライン幅が所定値よりも大きい第2の回路パターンのみが描かれた第2のフォトマスクとを作成する工程と、

導電膜の上に絶縁膜を堆積する工程と、

前記絶縁膜の上にポジ型の第1のレジスト膜を塗布する工程と、

前記第1のレジスト膜に前記第2のフォトマスクを介して第1の露光光を照射して前記第1のレジスト膜に前記第2の回路パターンを転写した後、前記第1のレジスト膜を現像して第1のレジストパターンを形成する工程と、

前記絶縁膜に対して前記第1のレジストパターンをマスクにしてエッチングを行なって、前記絶縁膜からなるハードマスクを形成する工程と、

前記導電膜の上にポジ型の第2のレジスト膜を塗布する工程と、

前記第2のレジスト膜に前記第1のフォトマスクを介して第2の露光光を照射して前記第2のレジスト膜に前記第1の回路パターンを転写した後、前記第2のレジスト膜を現像して第2のレジストパターンを形成する工程と、

前記導電膜に対して、前記ハードマスク及び前記第2のレジストパターンをマスクにしてエッチングを行なって、前記導電膜からなる電極及び配線を形成する工程とを備えていることを特徴とするパターン形成方法。

【請求項7】 前記所定値は、 $0.35 \times \lambda / NA$ （但し、 λ は露光光の波長であり、NAは露光装置の開口数である）であることを特徴とする請求項4～6のいずれか1項に記載のパターン形成方法。

【請求項8】 前記第1の回路パターンはゲート電極のパターンであり、前記第2の回路パターンはゲート電極以外のパターンであることを特徴とする請求項4～6のいずれか1項に記載のパターン形成方法。

【請求項9】 前記第1の回路パターンは、前記第2の回路パターンと隣接する部位に前記第2の回路パターンと重なるように延びるオーバーラップ部を有していることを特徴とする請求項4～6のいずれか1項に記載のパターン形成方法。

【請求項10】 前記第1のフォトマスクはハーフトーン型位相シフトマスクであることを特徴とする請求項4～6のいずれか1項に記載のパターン形成方法。

【請求項11】 前記ハーフトーン型位相シフトマスクの遮光部の光透過率は10%以上であることを特徴とする請求項10に記載のパターン形成方法。

【請求項12】 前記第1の回路パターンはプラスのマスクリサイズ値を有していることを特徴とする請求項4～6のいずれか1項に記載のパターン形成方法。

【請求項13】 前記絶縁膜は前記第1の露光光に対して反射防止効果を有していることを特徴とする請求項5に記載のパターン形成方法。

【請求項14】 前記ハードマスクを形成する工程と前記第2のレジスト膜を塗布する工程との間に、ウエットエッティングにより前記ハードマスクのライン幅を縮小する工程を備えていることを特徴とする請求項5に記載のパターン形成方法。

【請求項15】 前記第2のレジスト膜を塗布する工程は、前記導電膜の上に反射防止膜を介して前記第2のレジスト膜を塗布する工程を含み、前記第2のレジストパターンを形成する工程と前記導電膜に対してエッティングを行なう工程との間に、前記反射防止膜に対して前記第2のレジストパターンをマスクにしてオーバーエッティングを行なって、前記第2のレジストパターンのライン幅よりも小さいライン幅を持つ反射防止膜パターンを形成する工程を備え、前記導電膜に対してエッティングを行なう工程は、前記ハードマスク、前記第2のレジストパターン及び前記反射防止膜パターンをマスクにしてエッティングを行なう工程を含むことを特徴とする請求項7に記載のパターン形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体デバイス又は液晶デバイスの製造工程で用いられるパターン形成方法及び該パターン形成方法に用いられるフォトマスク装置に関する。

【0002】

【従来の技術】 近年、大規模集積回路(LSI)の微細化が進展した結果、LSIの製造工程の1つであるリソグラフィ工程において、パターン寸法の微細化が進み、パターン寸法は、露光光の波長 λ 及び露光装置の開口数NAで定義される解像限界($0.35 \times \lambda / NA$)にまで達してきている。特にゲート長(ゲート電極のライン幅)は、トランジスタの高速化に伴って、露光光の波長のほぼ半分以下の寸法が要求されるようになってきた。また、ゲート電極のライン幅に僅かな寸法変動が発生しても、トランジスタ特性が大きく変動するため、ゲート電極のライン幅には厳しい寸法制御が要求される。

【0003】 ところで、図17(a)に示すようにライン幅がLである微細な孤立パターンを形成する場合には、以下のようにしてレジストパターンが形成される。すなわち、導電膜の上に塗布されたポジ型のレジスト膜に対して、所望の回路パターンが描かれたフォトマスク

を介して露光することにより、レジスト膜に回路パターンと相似的な形状の光強度分布を投影した(レジスト膜に回路パターンを転写した)後、レジスト膜を現像してレジストパターンを形成する。

【0004】 ところが、ライン幅Lが解像限界以下になると、回路パターンと相似的な形状を有するレジストパターンを精度良く形成できなくなる。これは、ライン幅Lが解像限界以下になると、露光光がフォトマスクを通過するときの回折現象により、回路パターンの裏側に回り込む露光光が多くなって、回路パターンが十分に遮光できなくなるからである。

【0005】 図17(b)、(c)は、図17(a)に示す孤立ラインパターンをレジスト膜に転写したときの、X-X'線における光強度分布を示しており、図17(b)はライン幅Lが $0.31 \times \lambda / NA$ の場合であり、図17(c)はライン幅Lが $0.5 \times \lambda / NA$ の場合である。

【0006】 ライン幅が比較的大きい図17(c)に示す場合では、フォトマスクの回路パターン直下の部分の光強度は小さくなっているが、ライン幅が比較的小さい図17(b)に示す場合には、回路パターン直下の部分の光強度は大きくなっている。

【0007】 図18は、 λ / NA で規格化されたライン幅とマスク直下の光強度との関係を示している。図18から分かるように、通常の露光では、パターンライン幅が $0.35 \times \lambda / NA$ 以下の場合には、パターンの形成は非常に困難である。

【0008】 特に、孤立パターンを形成する場合には、デフォーカスによってマスクの遮光性が大きく劣化するため、寸法制御が難しくなる。

【0009】 そこで、ライン幅が $0.35 \times \lambda / NA$ 以下である微細なパターンを精度良く形成するために、所望のライン幅よりも大きいライン幅を持つレジストパターンを形成しておき、エッティング工程においてレジストパターンのライン幅を小さくする方法(シュリンクプロセス)が用いられている。

【0010】 以下、シュリンクプロセスを用いて、 $0.35 \times \lambda / NA$ 以下のライン幅を持つゲート電極を含む回路パターンを形成するためのパターン形成方法について、図19(a)～(d)を参照しながら説明する。

尚、図19(a)～(d)において、左側の図面は平面構造を示し、右側の図面は断面構造を示している。

【0011】 まず、図19(a)に示すように、半導体基板1の上にポリシリコン膜2及びシリコン酸窒化膜3を順次堆積した後、シリコン酸窒化膜3の上にポジ型のレジスト膜4を塗布し、その後、レジスト膜4に、ゲート電極を含む回路パターンからなるマスクパターン5を転写する。シリコン酸窒化膜3は、ポリシリコン膜2からの反射光を抑制する機能を有する。

【0012】 フォトマスクのゲート電極部における遮光

性を向上させるため、マスクパターン5のライン幅は所望のライン幅よりも大きい寸法 L_m に設定しておく。尚、マスクパターン5同士の間に形成されるスペース部の寸法は S_m になっている。

【0013】次に、レジスト膜4を現像して、図19(b)に示すように、レジストパターン4Pを形成する。この場合、レジストパターン4Pのライン幅は所望のライン幅よりも大きい寸法 L_r であると共に、スペース部の寸法は S_r になっている。

【0014】次に、シリコン酸塗化膜3に対してレジストパターン4Pをマスクにしてエッチングを行なって、図19(c)に示すように、ハードマスク3Pを形成する。この場合、シリコン酸塗化膜3に対してオーバーエッチングを行なって、ハードマスク3Pのライン幅を L_h に縮小する。ライン幅の縮小に伴って、ハードマスク3P同士の間に形成されるスペース部の幅寸法は S_h に拡大されている。

【0015】次に、ポリシリコン膜2に対してハードマスク3Pをマスクにしてエッチングを行なって、図19(d)に示すように、ゲート電極及び配線からなるポリシリコンパターン2Pを形成する。この場合、ポリシリコンパターン2Pのライン幅は L_p になると共に、スペース部の大きさは S_p になっている。

【0016】前述したシュリンクプロセスによると、シリコン酸塗化膜3に対するオーバーエッチングのぼらつきを制御できるならば、オーバーエッチングによるシュリンク量を所定値に設定することによって、ポリシリコンパターン2Pのライン幅 L_p を所望のライン幅と同じ寸法にすことができ、これにより、解像度限界以下のライン幅を持つ回路パターンを形成することができる。

【0017】

【発明が解決しようとする課題】ところで、前述したシュリンクプロセスにおいて、シュリンク量をXとすると、マスクパターン5のスペース幅 S_m は、ポリシリコンパターン2Pのスペース幅 S_p から $2X$ を減じた値になる。言い換えると、ポリシリコンパターン2Pのスペース幅 S_p は、マスクパターン5Pのスペース幅 S_m に $2X$ を加えた値になる。

【0018】従って、マスクパターン5のスペース幅 S_m を解像可能な最小スペース幅 $S_{m_{min}}$ に設定したとしても、ポリシリコンパターン2Pにおける形成可能な最小スペース幅 $S_{p_{min}}$ は $S_{m_{min}} + 2X$ になる。すなわち、ポリシリコンパターン2Pにおける形成可能な最小スペース幅 $S_{p_{min}}$ を、解像可能な最小スペース幅 $S_{m_{min}}$ にシュリンク量Xの2倍を加えた寸法よりも小さくすることは不可能である。

【0019】ところで、レジストパターンを形成するための露光工程においては、回路パターンを構成するライン部を形成するのに適した露光装置の照明条件と、回路パターンを構成するスペース部を形成するのに適した照

明条件とは異なるので、ライン部を形成するのに適した露光条件で露光を行なうと、スペース部のコントラストが低下するという問題がある。

【0020】また、ポジ型のレジスト膜における孤立ライン部に隣接するスペース部は、側方から入射する光の量が多いため、オーバー露光になって現像液に溶解し難くなるので、レジスト膜における他の部分と比べて解像度が劣化する傾向がある。

【0021】以上の理由により、ポリシリコンパターン2Pのライン幅 L_p を小さくすることは非常に困難であると共に、ライン幅を小さくするためにシュリンク量を大きくすればするほど、ポリシリコンパターン2Pのスペース幅 S_p は大きくなってしまう。

【0022】また、ポリシリコンパターン2Pのスペース幅 S_p は、レイアウト上、バターンの集積度に大きく関与する。すなわち、一般に、LSIの世代が進むごとにトランジスタの数が増えるため、スペース幅 S_p が前世代と同じであるか又は前世代よりも拡大すると、LSIのチップサイズが大きくなり、コストの増大又は歩留まりの低下を招くという問題がある。

【0023】前記に鑑み、本発明は、スペース部の寸法の拡大を招くことなくライン部の幅寸法を低減できるようにすることを目的とする。

【0024】

【課題を解決するための手段】前記の目的を達成するため、本発明に係るフォトマスク装置は、電極及び配線を有する複数の回路パターンのうちライン幅が所定値以下である第1の回路パターンのみが描かれた第1のフォトマスクと、複数の回路パターンのうちライン幅が所定値よりも大きい第2の回路パターンのみが描かれた第2のフォトマスクとを備えている。

【0025】本発明に係るフォトマスク装置によると、ライン幅が所定値以下である第1の回路パターンのみが描かれた第1のフォトマスクと、ライン幅が所定値よりも大きい第2の回路パターンのみが描かれた第2のフォトマスクとを備えているため、第1及び第2のフォトマスクの各透過率及び各マスクリサイズ値をライン幅に応じてそれぞれ最適化することができる。

【0026】本発明に係るフォトマスク装置において、所定値は $0.35 \times \lambda / NA$ (但し、 λ は露光光の波長であり、NAは露光装置の開口数である)であることが好ましい。

【0027】このようにすると、第1のフォトマスクの透過率及びマスクリサイズ値を最適化することにより、解像度限界以下のライン幅を持つ第1の回路パターンを精度良く形成することができる。

【0028】本発明に係るフォトマスク装置において、第1の回路パターンはゲート電極のパターンであり、第2の回路パターンはゲート電極以外のパターンであることが好ましい。

【0029】このようにすると、ゲート電極のライン幅が解像限界以下であっても、ゲート電極を確実に形成することができる。

【0030】本発明に係る第1のパターン形成方法は、電極及び配線を有する複数の回路パターンのうちライン幅が所定値以下である第1の回路パターンのみが描かれた第1のフォトマスクと、複数の回路パターンのうちライン幅が所定値よりも大きい第2の回路パターンのみが描かれた第2のフォトマスクとを作成する工程と、導電膜に対して、第1のフォトマスクを用いて形成された第1のマスクパターンと、第2のフォトマスクを用いて形成された第2のマスクパターンとをマスクにしてエッチングを行なって、導電膜からなる電極及び配線を形成する工程とを備えている。

【0031】第1のパターン形成方法によると、ライン幅が所定値以下である第1の回路パターンのみが描かれた第1のフォトマスクを用いて形成された第1のマスクパターンと、ライン幅が所定値よりも大きい第2の回路パターンのみが描かれた第2のフォトマスクを用いて形成された第2のマスクパターンとをマスクにしてエッチングを行なって、導電膜からなる電極及び配線を形成するため、第1及び第2のフォトマスクの各透過率及び各マスクリサイズ値をライン幅に応じてそれぞれ最適化することにより、スペース部の寸法の拡大を招くことなく、ライン部の幅寸法を低減することができる。

【0032】本発明に係る第2のパターン形成方法は、電極及び配線を有する複数の回路パターンのうちライン幅が所定値以下である第1の回路パターンのみが描かれた第1のフォトマスクと、複数の回路パターンのうちライン幅が所定値よりも大きい第2の回路パターンのみが描かれた第2のフォトマスクとを作成する工程と、導電膜の上に絶縁膜を堆積する工程と、絶縁膜の上にポジ型の第1のレジスト膜を塗布する工程と、第1のレジスト膜に第1のフォトマスクを介して第1の露光光を照射して第1のレジスト膜に第1の回路パターンを転写した後、第1のレジスト膜を現像して第1のレジストパターンを形成する工程と、絶縁膜に対して第1のレジストパターンをマスクにしてエッチングを行なって、絶縁膜からなるハードマスクを形成する工程と、導電膜の上にポジ型の第2のレジスト膜を塗布する工程と、第2のレジスト膜に第2のフォトマスクを介して第2の露光光を照射して第2のレジスト膜に第2の回路パターンを転写した後、第2のレジスト膜を現像して第2のレジストパターンを形成する工程と、導電膜に対して、ハードマスク及び第2のレジストパターンをマスクにしてエッチングを行なって、導電膜からなる電極及び配線を形成する工程とを備えている。

【0033】第2のパターン形成方法によると、ライン幅が所定値以下である第1の回路パターンのみが描かれた第1のフォトマスクを用いて形成されたハードマスク

と、ライン幅が所定値よりも大きい第2の回路パターンのみが描かれた第2のフォトマスクを用いて形成された第2のレジストパターンとをマスクにしてエッチングを行なって、導電膜からなる電極及び配線を形成するため、第1及び第2のフォトマスクの各透過率及び各マスクリサイズ値をライン幅に応じてそれぞれ最適化することにより、スペース部の寸法の拡大を招くことなく、ライン部の幅寸法を低減することができる。

【0034】本発明に係る第3のパターン形成方法は、電極及び配線を有する複数の回路パターンのうちライン幅が所定値以下である第1の回路パターンのみが描かれた第1のフォトマスクと、複数の回路パターンのうちライン幅が所定値よりも大きい第2の回路パターンのみが描かれた第2のフォトマスクとを作成する工程と、導電膜の上に絶縁膜を堆積する工程と、絶縁膜の上にポジ型の第1のレジスト膜を塗布する工程と、第1のレジスト膜に第2のフォトマスクを介して第1の露光光を照射して第1のレジスト膜に第2の回路パターンを転写した後、第1のレジスト膜を現像して第1のレジストパターンを形成する工程と、絶縁膜に対して第1のレジストパターンをマスクにしてエッチングを行なって、絶縁膜からなるハードマスクを形成する工程と、導電膜の上にポジ型の第2のレジスト膜を塗布する工程と、第2のレジスト膜に第1のフォトマスクを介して第2の露光光を照射して第2のレジスト膜に第1の回路パターンを転写した後、第2のレジスト膜を現像して第2のレジストパターンを形成する工程と、導電膜に対して、ハードマスク及び第2のレジストパターンをマスクにしてエッチングを行なって、導電膜からなる電極及び配線を形成する工程とを備えている。

【0035】第3のパターン形成方法によると、ライン幅が所定値よりも大きい第2の回路パターンのみが描かれた第2のフォトマスクを用いて形成されたハードマスクと、ライン幅が所定値以下である第2の回路パターンのみが描かれた第1のフォトマスクを用いて形成された第2のレジストパターンとをマスクにしてエッチングを行なって、導電膜からなる電極及び配線を形成するため、第1及び第2のフォトマスクの各透過率及び各マスクリサイズ値をライン幅に応じてそれぞれ最適化することにより、スペース部の寸法の拡大を招くことなく、ライン部の幅寸法を低減することができる。

【0036】第1～第3のパターン形成方法において、所定値は $0.35 \times \lambda / NA$ （但し、 λ は露光光の波長であり、NAは露光装置の開口数である）であることが好ましい。

【0037】このようにすると、第1のフォトマスクの透過率及びマスクリサイズ値を最適化することにより、解像限界以下のライン幅を持つ第1の回路パターンを精度良く形成することができる。

【0038】第1～第3のパターン形成方法において、

第1の回路パターンはゲート電極のパターンであり、第2の回路パターンはゲート電極以外のパターンであることが好ましい。

【0039】このようにすると、ゲート電極のライン幅が解像限界以下であっても、ゲート電極を確実に形成することができる。

【0040】第1～第3のパターン形成方法において、第1の回路パターンは、第2の回路パターンと隣接する部位に第2の回路パターンと重なるように延びるオーバーラップ部を有していることが好ましい。

【0041】このようにすると、第1のフォトマスクと第2のフォトマスクとが位置ずれを起こしても、第1の回路パターンと第2の回路パターンとが互いに隣接する部位に隙間ができる事態を防止することができる。

【0042】第1～第3のパターン形成方法において、第1のフォトマスクはハーフトーン型位相シフトマスクであることが好ましい。

【0043】このようにすると、第1のフォトマスクの遮光部の光透過率を大きくすることができるので、光コントラストを向上させることができる。

【0044】この場合、ハーフトーン型位相シフトマスクの遮光部の光透過率は10%以上であることが好ましい。

【0045】このようにすると、光コントラストを4.5以上に向上させることができる。

【0046】第1～第3のパターン形成方法において、第1の回路パターンはプラスのマスクリサイズ値を有していることが好ましい。

【0047】このようにすると、導電膜からなるパターンのライン幅が解像限界以下であっても、第1のフォトマスクのライン幅を解像限界よりも大きくできるため、露光光が第1のフォトマスクの遮光部の裏側に回り込む事態を抑制できるので、解像限界以下の微細なライン幅を持つ回路パターンを良好に形成することができる。

【0048】第2のパターン形成方法において、絶縁膜は第1の露光光に対して反射防止効果を有していることが好ましい。

【0049】このようにすると、反射防止膜を形成する必要がなくなるので、プロセスコストの削減を図ることができる。

【0050】第2のパターン形成方法は、ハードマスクを形成する工程と第2のレジスト膜を塗布する工程との間に、ウエットエッチングによりハードマスクのライン幅を縮小する工程を備えていることが好ましい。

【0051】このようにすると、解像限界よりも一層微細なライン幅を持つ第1の回路パターンを良好に形成することができる。

【0052】第3のパターン形成方法において、第2のレジスト膜を塗布する工程は、導電膜の上に反射防止膜を介して第2のレジスト膜を塗布する工程を含み、第2

のレジストパターンを形成する工程と導電膜に対してエッチングを行なう工程との間に、反射防止膜に対して第2のレジストパターンをマスクにしてオーバーエッチングを行なって、第2のレジストパターンのライン幅よりも小さいライン幅を持つ反射防止膜パターンを形成する工程を備え、導電膜に対してエッチングを行なう工程は、ハードマスク、第2のレジストパターン及び反射防止膜パターンをマスクにしてエッチングを行なう工程を含むことが好ましい。

【0053】このようにすると、解像限界よりも一層微細なライン幅を持つ第1の回路パターンを良好に形成することができる。

【0054】

【発明の実施の形態】以下、本発明の各実施形態に係るパターン形成方法に用いるフォトマスク装置について、図1及び図2(a)、(b)を参照しながら説明する。

【0055】まず、図1に示す回路パターンを、所定値(例えば0.12μm)以下のライン幅を持つ第1の回路パターンAと、所定値(例えば0.12μm)よりも大きいライン幅を持つ第2の回路パターンBとに分類する。

【0056】次に、第1の回路パターンAを形成するために、ハーフトーン位相シフトマスクからなり、図2(a)に示す第1のフォトマスク11を作成すると共に、第2の回路パターンBを形成するために、バイナリマスクからなり、図2(b)に示す第2のフォトマスク12を形成する。

【0057】図2(a)に示すように、第1のフォトマスク11は、第1の回路パターンAと同じ長さを持つ第1の遮光部11aと、該第1の遮光部11aから第2の回路パターンBとオーバーラップするように延びる第2の遮光部11bと、第1の遮光部11a及び第2の遮光部11bの各端部からライン長さ方向にそれぞれ延びる第3の遮光部11cとを有しており、第1の遮光部11a、第2の遮光部11b及び第3の遮光部11cによって、ゲート電極部が構成されている。尚、第1のフォトマスク11が、第1の遮光部11aのほかに、第2の遮光部11b及び第3の遮光部11cを有している理由については後述する。

【0058】図2(b)に示すように、第2のフォトマスク12は、パッド部と対応する第1の遮光部12aと配線部と対応する第2の遮光部12bとを有している。

【0059】(第1の実施形態)以下、第1のフォトマスク11及び第2のフォトマスク12を用いて行なう第1の実施形態に係るパターン形成方法について、図3(a)～(b)、図4(a)、(b)、図5(a)、(b)、図6(a)、(b)及び図7(a)、(b)を参照しながら説明する。尚、図3～図7の各(a)は、図1における中央部(Y-Y'線で示す部分)と対応する部分の断面構造を示しており、図3～図7の各(b)

は、図1における中央部(Y-Y'線で示す部分)と対応する部分の平面構造を示している。

【0060】まず、図3(a)に示すように、半導体基板100の上に、導電膜としてのポリシリコン膜101と絶縁膜としてのシリコン酸塗化膜102を順次堆積した後、シリコン酸塗化膜102の上にポジ型の第1のレジスト膜103を塗布する。シリコン酸塗化膜102は、露光光の屈折率及び反射係数を調整して、露光光の反射率を5%以内に抑制する機能を有し、反射防止膜としての働きをする。

【0061】次に、第1のレジスト膜103に対して、第1のフォトマスク11を介してKrfエキシマレーザ(波長:248nm)104を照射する第1回目の露光を行なって、図3(b)に示すように、第1のレジスト膜103に第1のマスクパターン105を形成する。第1回目の露光は、NA=0.65に設定された四重極照明により行なう。

【0062】第1のマスクパターン105は、第1のパターン部105a、第2のパターン部105b及び第3のパターン部105c(各ライン幅=Lm)を有しており、第1のパターン部105aは第1のフォトマスク11の第1の遮光部11aと対応し、第2のパターン部105bは第1のフォトマスク11の第2の遮光部11bと対応し、第3のパターン部105cは第1のフォトマスク11の第3の遮光部11cと対応する。

【0063】次に、第1のレジスト膜103を現像して、図4(a)、(b)に示すように、第1のマスクパターン105と対応する形状を持つ第1のレジストパターン103P(ライン幅=Lr)を形成した後、該第1のレジストパターン103Pをマスクとしてシリコン酸塗化膜102に対してエッチングを行なって、シリコン酸塗化膜102からなるハードマスク102P(ライン幅=Lh=Lr)を形成する。その後、第1のレジストパターン103Pをアッキングにより除去した後、ポリシリコン膜101の表面を洗浄する。尚、ハードマスク102Pは第1のレジストパターン103Pの下側に位置するため、図4(b)においてはハードマスク102Pは図示されていない。

【0064】次に、図5(a)、(b)に示すように、ハードマスク102P及びポリシリコン膜101の上に全面に亘って、ポジ型の第2のレジスト膜106を塗布した後、該第2のレジスト膜106に対して、第2のフォトマスク12を介してKrfエキシマレーザ107を照射する第2回目の露光を行なって、図5(b)に示すように、第2のレジスト膜106に第2のマスクパターン108を形成する。第2回目の露光は、NA=0.60に設定された四重極照明により、通常と同じく、 $\sigma=0.7$ の照明条件で行なう。このような露光条件を用いる理由は、第2回目の露光においては、第1回目の露光に比べて、パターンのライン幅が大きいこと及びスペー

ス部を優先する必要があるためである。

【0065】次に、第2のレジスト膜106を現像して、図6(a)、(b)に示すように、第2のレジストパターン106Pを形成する。尚、第2のレジスト膜106に対して現像を行なうと、図6(b)に示すように、ハードマスク102Pが露出する。

【0066】次に、ハードマスク102P及び第2のレジストパターン106Pをマスクとしてポリシリコン膜101に対してエッチングを行なって、図7(a)、(b)に示すように、ポリシリコンパターン101P(ライン幅=Lp)を形成する。

【0067】以下、第1のフォトマスク11の第1、第2及び第3の遮光部11a、11b、11cの遮光率、並びに第1のフォトマスク11の第1、第2及び第3の遮光部11a、11b、11cと第1のマスクパターン105の第1、第2及び第3のパターン部105a、105b、105cとの関係について説明する。

【0068】図8(a)、(b)は、孤立ラインパターンの光強度をシミュレーションした結果を示しており、図8(a)は、ハーフトーン位相シフトマスクを用いたときのマスク遮光部の光透過率と、孤立パターンのフォーカスを0.2μmに設定したときの光コントラストとの関係(コントラストの透過率依存性)を示し、図8(b)は、マスク遮光部の光透過率を16%に設定すると共にマスク遮光部のライン幅を0.12μmに設定したときの、片側のマスククリサイズ量と焦点深度(DOF)との関係(焦点深度の片側マスククリサイズ値依存性)を示している。尚、シミュレーションの条件としては、露光光の波長入を248nmに設定し、露光装置の開口数NAを0.65に設定し、四重極照明(x,y=(±0.5, ±0.5), r=0.2)を用いるとした。図9は、四重極照明の照明分布図及び該分布図におけるx,y及びr(NA及び入により規格化された値)を示している。

【0069】図8(a)から、マスク遮光部の光透過率が大きくなればほど光コントラストが高くなることが分かると共に、マスク遮光部の光透過率が0~16%の範囲内では、光透過率が大きくなれば光コントラストが急激に高くなることが分かる。また、図8(a)から、四重極の照明条件でハーフトーン位相シフトマスクを用いる場合に、4.5以上のコントラストを得るためにには10%以上の光透過率が必要であることが分かる。このため、第1の実施形態においては、第1のフォトマスク11の遮光部の光透過率が20%であるハーフトーン位相シフトマスクを用いる。

【0070】図8(b)から、片側マスククリサイズ値が+0.02μmのときに焦点深度が最も大きくなることが分かる。このため、第1の実施形態においては、片側マスククリサイズ値を0.02μmに設定する。

【0071】従って、第1のフォトマスク11の第1、

第2及び第3の遮光部11a、11b、11cの各ライン幅を0.16μm(ポリシリコンパターン101Pの所望のライン幅(=0.12μm)に片側マスクリサイズ値(0.02μm)の2倍を加えた値)に設定しておくと共に、図3(b)に示したKrFエキシマレーザ104の照射(第1回目の露光)をオーバー露光に設定し、第1のレジスト膜103に転写された第1のマスクパターン105のライン幅Lmがポリシリコンパターン101のライン幅Lpと等しくなるようにする。

【0072】このように、第1のフォトマスク11の第1、第2及び第3の遮光部11a、11b、11cの各ライン幅を、ポリシリコンパターン101のライン幅Lmにプラスのマスクリサイズ値を加えた値に設定すると、ポリシリコンパターン101のライン幅Lmが解像限界($0.35 \times \lambda / NA$)以下であっても、第1のレジスト膜103に第1のマスクパターン105を良好に転写することができる。そして、第1回目の露光をオーバー露光に設定して、第1のマスクパターン105のライン幅Lmがポリシリコンパターン101のライン幅Lpと等しくなるようにするために、ポリシリコンパターン101Pは所定のライン幅Lpを有する。

【0073】一方、所定値よりも大きいライン幅を持つパターンが形成された第2のフォトマスク12としては、バイナリマスク(クロム:透過率0)を用いると共に、片側マスクリサイズ値を-0.01μmに設定する。このようにバイナリマスクを用いると、面積の大きいパターン部においてもサイドロープの影響を殆ど受けすことなく第2回目の露光を行なうことができる。また、片側マスクリサイズ値をマイナスに設定するため、スペース部に露光光が入射し易くなるので、スペース部を安定して形成することができる。

【0074】第1の実施形態によると、図1に示す回路パターンを、所定値以下のライン幅を持つ第1の回路パターンAが描かれた第1のフォトマスク11と、所定値よりも大きいライン幅を持つ第2の回路パターンBが描かれた第2のフォトマスク12とに分離したため、フォトマスクの透過率及びマスクリサイズ値をライン幅に応じてそれぞれ最適化することができる。

【0075】所定値以下のライン幅を持つ第1の回路パターンAにおいては、第1のフォトマスク11の第1、第2及び第3の遮光部11a、11b、11cのマスクリサイズ値をプラスに設定すると共にオーバー露光を行なって、第1、第2及び第3の遮光部11a、11b、11cよりも小さいライン幅を有する第1のマスクパターン105の第1、第2及び第3のパターン部105a、105b、105cを形成することにより、微細なライン幅を持つゲート電極を形成することができる。すなわち、ポリシリコンパターン101Pのライン幅Lpが解像限界($0.35 \times \lambda / NA$)以下になってしまって、第1のフォトマスク11の第1、第2及び第3の遮光部1

1a、11b、11cのライン幅はポリシリコンパターン101Pのライン幅Lpよりも大きいため、露光光が第1のフォトマスク11の第1、第2及び第3の遮光部11a、11b、11cの裏側に回り込む事態を抑制でき、第1、第2及び第3の遮光部11a、11b、11cは露光光を確実に遮光するので、解像限界以下の微細なライン幅を持つポリシリコンパターン101Pからなるゲート電極を確実に形成することができる。

【0076】一方、所定値よりも大きいライン幅を持つ第2の回路パターンBにおいては、第2のフォトマスク12の第1及び第2の遮光部12a、12bのマスクリサイズ値をマイナスに設定すると共にアンダー露光を行なって、第1及び第2の遮光部12a、12bよりも大きいライン幅を有する第2のマスクパターンを形成することにより、微細なスペースを有するスペース部を形成することができる。

【0077】また、第2の回路パターンBは、バイナリマスクからなる第2のフォトマスク12を用いて形成するため、サイドロープの影響を受け難いので、微細なスペースを有するスペース部を形成することができる。

【0078】従って、第1の実施形態によると、0.12μmのライン幅を持つゲート電極を確実に形成することができると共に、ゲート電極と配線との間に0.18μmのスペース幅を持つスペース部を形成することができた。

【0079】ところで、第1のフォトマスク11を用いて形成されたハードマスク102Pと、第2のフォトマスク12を用いて形成された第2のレジストパターン106Pとをマスクにしてポリシリコン膜101に対してエッチングを行なって、ポリシリコンパターン101Pを形成するため、第1のフォトマスク11と第2のフォトマスク12とが位置ずれして、第1のマスクパターン105のゲート電極部と、第2のマスクパターン108のパッド部(第2のフォトマスク12の第1の遮光部12aと対応する部分)との間に隙間が形成されてしまう事態を防止するため、第1のフォトマスク11には、第1の遮光部11aから第2の回路パターンBの第1の遮光部12aとオーバーラップするように延びる第2の遮光部11bが設けられている。

【0080】従って、図6(a)、(b)に示すように、第2のレジストパターン106Pを形成すると、ゲート電極におけるパッド側の領域において、第2のレジストパターン106Pの端部とハードマスク102Pの端部とが重なる。

【0081】ところで、微細なライン幅を持つパターンが形成された第1のマスクパターン105においては、実際の露光を行なったときにライン端部が大きく後退するのが通常である。

【0082】従って、第1のフォトマスク11には、第1のマスクパターン105のライン端部の後退量と等し

い長さを持つ第3の遮光部11cが第1の遮光部11a及び第2の遮光部11bの各端部にそれぞれ付加するO P C (Optical Proximity Correction) 処理を行なっている。

【0083】ところで、四重極照明によると、ラインが垂直方向に交わるパターン(T字型のパターン)においては、パターン同士の干渉性が高いため、パッド部と接続するゲート電極部ではライン幅の光強度分布にばらつきが生じるという問題がある。

【0084】ところが、第1の実施形態のように、ライン幅に応じて異なるフォトマスクを用いると、パッド部とゲート電極部とは異なるフォトマスクを用いて露光されるため、パターン同士の干渉が避けられるので、ライン幅の寸法均一性を向上させることができる。

【0085】(第2の実施形態)以下、第2の実施形態に係るパターン形成方法について図10(a)～(c)及び図11(a)～(c)を参照しながら説明する。

【0086】第2の実施形態においては、所定値(例えば $0.12\mu m$)以下のライン幅を持つ第1の回路パターンAが描かれたハーフトーン型位相シフトマスクからなる第1のフォトマスク11と、所定値(例えば $0.12\mu m$)よりも大きいライン幅を持つ第2の回路パターンBが描かれたハーフトーン型位相シフトマスクからなる第2のフォトマスク12とを用いる。

【0087】まず、図10(a)に示すように、半導体基板200の上にポリシリコン膜201及びシリコン酸化膜202を順次堆積した後、シリコン酸化膜202の上に第1の反射防止膜203を介してポジ型の第1のレジスト膜204を塗布する。その後、第1の実施形態と同様、第1のレジスト膜204に対して、第1のフォトマスク11を介してK r Fエキシマレーザ(波長:248nm)205を照射する第1回目の露光を行なう。

【0088】次に、第1のレジスト膜204を現像して、図10(b)に示すように、 $0.12\mu m$ のライン幅を有する第1のレジストパターン204Pを形成した後、該第1のレジストパターン204Pをマスクとしてシリコン酸化膜202及び第1の反射防止膜203に対して順次エッティングを行なって、 $0.12\mu m$ のライン幅を有する第1の反射防止膜パターン203P及びハードマスク202Pを形成する。

【0089】次に、第1のレジストパターン204P及び第1の反射防止膜パターン203Pをアッシングにより除去した後、図10(c)に示すように、ハードマスク202Pに対してフッ酸206を用いるウエットエッティングを行なう。この際、ウエットエッティングの時間を調整することにより、ハードマスク202Pのライン幅を $0.10\mu m$ に縮小する。

【0090】次に、図11(a)に示すように、ハードマスク202P及びポリシリコン膜201の上に、第2の反射防止膜207を介してポジ型の第2のレジスト膜

208を塗布した後、第1の実施形態と同様、第2のレジスト膜208に対して、第2のフォトマスク12を介してK r Fエキシマレーザ209を照射する第2回目の露光を行なう。

【0091】次に、第2のレジスト膜208を現像して、図11(b)に示すように、第2のレジストパターン208Pを形成した後、該第2のレジストパターン208Pをマスクとして第2の反射防止膜207にエッティングを行なって第2の反射防止膜パターン207Pを形成する。このようにすると、ハードマスク202Pが露出する。

【0092】次に、ハードマスク202P及び第2のレジストパターン208Pをマスクとしてポリシリコン膜201に対してエッティングを行なって、図11(c)に示すように、ポリシリコンパターン201Pを形成する。

【0093】第2の実施形態においては、シリコン酸化膜202に対して第1のレジストパターン204Pをマスクとしてドライエッティングを行なって、 $0.12\mu m$ のライン幅を有するハードマスク202Pを形成した後、該ハードマスク202Pに対してウエットエッティングを行なってハードマスク202Pのライン幅を縮小するため、第1のレジストパターン204Pに比べてより微細なライン幅を持つハードマスク202Pを形成することができる。

【0094】尚、ハードマスク202Pがウエットエッティングにより縮小されるため、第1のフォトマスク11と第2のフォトマスク12とのオーバーラップ量は $0.30\mu m$ 程度に設定する。

【0095】第2の実施形態によると、ゲート電極を形成するためのマスクとなるハードマスク202Pのみを単独で縮小することができるので、パッド部及び配線の寸法を考慮することなく、微細なライン幅を持つゲート電極を形成することができる。

【0096】第2の実施形態においては、第2のフォトマスク12として、透過率が3%のハーフトーン型位相シフトマスクを用いると共に、第1及び第2の遮光部12a、12bの片側マスクリサイズ値を $-0.02\mu m$ に設定した。また、第2回目の露光は、NA=0.65に設定された四重極照明により、 $\sigma=0.5$ の照明条件で行なう。

【0097】このようにすることにより、微細なスペース幅を有するスペース部に光が入射し易くなるので、解像度及び露光マージンが向上する。従って、クロムマスクを用いる第1の実施形態に比べて、光コントラストが向上するので、第2のレジストパターン208Pを安定して形成することができると共に、より微細なスペース幅を有するスペース部を形成することができる。

【0098】従って、第2の実施形態によると、 $0.10\mu m$ のライン幅を有するポリシリコンパターン201

Pからなるゲート電極を形成することができると共に、ゲート電極と配線との間に0.15μmのスペース幅を有するスペース部を形成することができた。尚、ゲート電極部と配線部とは異なる露光工程により形成されるため、ゲート電極と配線との間のスペース部としては、位置合わせ用のマージンだけの寸法があればよいので、0.15μmよりも縮小することは可能である。

【0099】尚、第2の実施形態においては、ウエットエッチングによってハードマスク302Pを縮小したが、これに代えて、第1のレジストパターン304Pをマスクとしてシリコン酸化膜302及び第1の反射防止膜303に対してドライエッチングを行なう際にオーバーエッチングを行なって、ハードマスク302Pのライン幅を小さくしたり又は第1の反射防止膜パターン303Pのライン幅を小さくしたりしてもよい。

【0100】(第3の実施形態)以下、第3の実施形態に係るパターン形成方法について、図12(a)、(b)、図13(a)、(b)、図14(a)、(b)、図15(a)、(b)及び図16(a)、(b)を参照しながら説明する。

【0101】第3の実施形態においては、所定値(例えば0.12μm)以下のライン幅を持つ第1の回路パターンAが描かれたバイナリマスクからなる第1のフォトマスク11と、所定値(例えば0.12μm)よりも大きいライン幅を持つ第2の回路パターンBが描かれたバイナリマスクからなる第2のフォトマスク12とを用いる。

【0102】まず、図12(a)に示すように、半導体基板300の上にポリシリコン膜301及びシリコン酸化膜302を順次堆積した後、シリコン酸化膜302の上に第1の反射防止膜303を介してポジ型の第1のレジスト膜304を塗布する。

【0103】次に、第1のレジスト膜304に対して、第2のフォトマスク12を介してKrFエキシマレーザ305を照射する第1回目の露光を行なって、図12(b)に示すように、第1のレジスト膜304に第1のマスクパターン306を形成する。

【0104】次に、図13(a)、(b)に示すように、第1のレジスト膜304を現像して第1のレジストパターン304Pを形成した後、第1のレジストパターン304Pをマスクとして第1の反射防止膜303にエッチングを行なって第1の反射防止膜パターン303Pを形成する。次に、シリコン酸化膜302に対して第1のレジストパターン304Pをマスクにしてエッチングを行なって、ハードマスク302Pを形成する。その後、第1のレジストパターン304P及び第1の反射防止膜パターン303Pをアッショングにより除去した後、ポリシリコン膜301の表面を洗浄する。

【0105】次に、図14(a)に示すように、ハードマスク302P及びポリシリコン膜301の上に、第2

の反射防止膜307を介してポジ型の第2のレジスト膜308を塗布した後、該第2のレジスト膜308に対して、第1のフォトマスク11を介してKrFエキシマレーザ309を照射する第2回目の露光を行なって、図14(b)に示すように、第2のレジスト膜308に第2のマスクパターン310を形成する。

【0106】次に、第2のレジスト膜308を現像して、図15(a)、(b)に示すように、第2のレジストパターン308P(ライン幅=Lr)を形成した後、第2の反射防止膜307に対して、第2のレジストパターン308Pをマスクにしてオーバーエッチングを行なって、第2のレジストパターン308Pのライン幅を縮小すると共に、ライン幅が縮小された第2のレジストパターン308Pと同じライン幅を有する第2の反射防止膜パターン307Pを形成する。このようにすると、ハードマスク302Pが露出する。

【0107】次に、ポリシリコン膜301に対して、ハードマスク302P、第2のレジストパターン308P及び第2の反射防止膜パターン307Pをマスクとしてエッチングを行なって、図16(a)、(b)に示すように、ポリシリコンパターン301Pを形成する。

【0108】第3の実施形態によると、第2の反射防止膜パターン307Pを形成する際にオーバーエッチングを行なって、第2のレジストパターン308P及び第2の反射防止膜パターン307Pのライン幅を縮小するので、0.1μmのライン幅を有するポリシリコンパターン301Pからなるゲート電極を形成することができる。

【0109】ところで、シリコン酸化膜302からなるハードマスク302Pはエッチングによりライン幅を太くすることが容易である。従って、第3の実施形態によると、通常の露光により解像できるスペース幅よりも微細なスペース幅(Sp=0.20μm)を有するスペース部を形成することができる。

【0110】第3の実施形態によると、第2のフォトマスク12を用いてハードマスク302Pを形成すると共に、第1のフォトマスク11を用いて第2のレジストパターン308Pを形成するため、ドライエッチングの負担を少なくして微細ラインと微細スペースとの両立を図ることができる。

【0111】尚、第1及び第3の実施形態においては、ハードマスクを形成するための絶縁膜としてシリコン酸化膜を用い、第2の実施形態においては、ハードマスクを形成するための絶縁膜としてシリコン酸化膜を用いたが、これに代えて、下地となる被加工膜例えばポリシリコン膜に対して選択性を有する膜を適宜用いることができる。

【0112】

【発明の効果】本発明に係るフォトマスク装置及びパターン形成方法によると、第1及び第2のフォトマスクの

各透過率及び各マスクリサイズ値をライン幅に応じてそれぞれ最適化することにより、スペース部の寸法の拡大を招くことなく、ライン部の幅寸法を低減することができる。

【図面の簡単な説明】

【図1】(a)は、本発明の各実施形態に係るパターン形成方法により形成される回路パターンの平面図である。

【図2】(a)は第1のフォトマスクの遮光部を示す平面図であり、(b)は第2のフォトマスクの遮光部を示す平面図である。

【図3】(a)、(b)は第1の実施形態に係るパターン形成方法の一工程を示し、(a)は断面図であり、(b)は平面図である。

【図4】(a)、(b)は第1の実施形態に係るパターン形成方法の一工程を示し、(a)は断面図であり、(b)は平面図である。

【図5】(a)、(b)は第1の実施形態に係るパターン形成方法の一工程を示し、(a)は断面図であり、(b)は平面図である。

【図6】(a)、(b)は第1の実施形態に係るパターン形成方法の一工程を示し、(a)は断面図であり、(b)は平面図である。

【図7】(a)、(b)は第1の実施形態に係るパターン形成方法の一工程を示し、(a)は断面図であり、(b)は平面図である。

【図8】(a)は、孤立ラインパターンの光強度をシミュレーションすることにより得られたコントラストの透過率依存性を示す特性図であり、(b)は孤立ラインパターンの光強度をシミュレーションすることにより得られた焦点深度の片側マスクリサイズ値依存性を示す特性図である。

【図9】四重極照明の照明分布図におけるx、y及びrを説明する平面図である。

【図10】(a)～(c)は第2の実施形態に係るパターン形成方法の各工程を示す断面図である。

【図11】(a)～(c)は第2の実施形態に係るパターン形成方法の各工程を示す断面図である。

【図12】(a)、(b)は第3の実施形態に係るパターン形成方法の一工程を示し、(a)は断面図であり、(b)は平面図である。

【図13】(a)、(b)は第3の実施形態に係るパターン形成方法の一工程を示し、(a)は断面図であり、(b)は平面図である。

【図14】(a)、(b)は第3の実施形態に係るパターン形成方法の一工程を示し、(a)は断面図であり、(b)は平面図である。

【図15】(a)、(b)は第3の実施形態に係るパターン形成方法の一工程を示し、(a)は断面図であり、(b)は平面図である。

【図16】(a)、(b)は第3の実施形態に係るパターン形成方法の一工程を示し、(a)は断面図であり、(b)は平面図である。

【図17】(a)は孤立ラインパターンのライン幅を説明する図であり、(b)及び(c)は、(a)に示す孤立ラインパターンをレジスト膜に転写したときの光強度分布を示し、(b)はライン幅しが $0.31 \times \lambda / NA$ の場合であり、(c)はライン幅しが $0.5 \times \lambda / NA$ の場合である。

【図18】 λ / NA で規格化されたライン幅とマスク直下の光強度との関係を示す図である。

【図19】(a)～(d)は従来のパターン形成方法の各工程を示す図であり、左側の図面は平面図であり、右側の図面は断面図である。

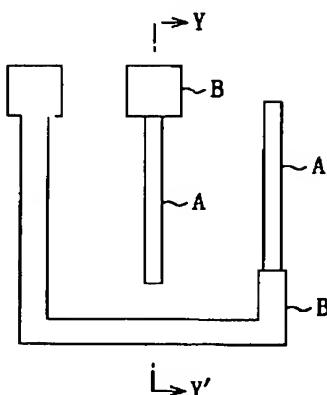
【符号の説明】

- A 第1の回路パターン
- B 第2の回路パターン
- 11 第1のフォトマスク
- 11a 第1の遮光部
- 11b 第2の遮光部
- 11c 第3の遮光部
- 12 第2のフォトマスク
- 12a 第1の遮光部
- 12b 第2の遮光部
- 100 半導体基板
- 101 ポリシリコン膜
- 101P ポリシリコンパターン
- 102 シリコン酸化膜
- 102P ハードマスク
- 103 第1のレジスト膜
- 103P 第1のレジストパターン
- 104 KrFエキシマレーザ
- 105 第1のマスクパターン
- 105a 第1のパターン部
- 105b 第2のパターン部
- 105c 第3のパターン部
- 106 第2のレジスト膜
- 106P 第2のレジストパターン
- 107 KrFエキシマレーザ
- 108 第2のマスクパターン
- 200 半導体基板
- 201 ポリシリコン膜
- 201P ポリシリコンパターン
- 202 シリコン酸化膜
- 202P ハードマスク
- 203 第1の反射防止膜
- 203P 第1の反射防止膜パターン
- 204 第1のレジスト膜
- 204P 第1のレジストパターン
- 205 KrFエキシマレーザ

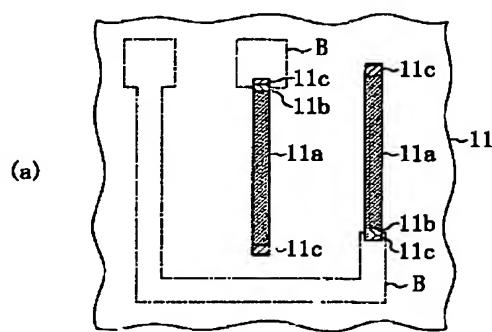
206 フッ酸
 207 第2の反射防止膜
 207P 第2の反射防止膜パターン
 208 第2のレジスト膜
 208P 第2のレジストパターン
 209 KrFエキシマレーザ
 300 半導体基板
 301 ポリシリコン膜
 301P ポリシリコンパターン
 302 シリコン酸塗化膜
 302P ハードマスク
 303 第1の反射防止膜

303P 第1の反射防止膜パターン
 304 第1のレジスト膜
 304P 第1のレジストパターン
 305 KrFエキシマレーザ
 306 第1のマスクパターン
 307 第2の反射防止膜
 307P 第2の反射防止膜パターン
 308 第2のレジスト膜
 308P 第2のレジストパターン
 309 KrFエキシマレーザ
 310 第2のマスクパターン

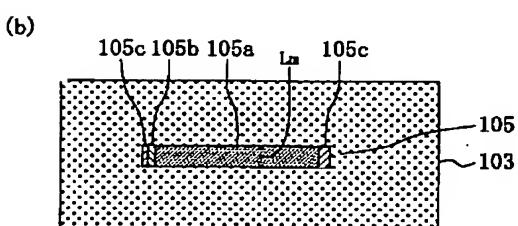
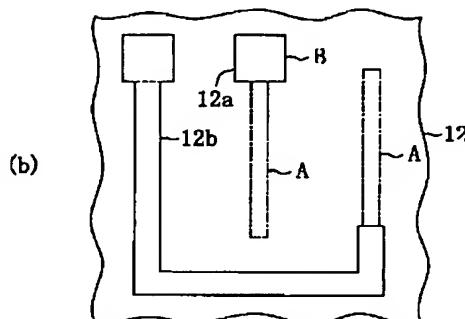
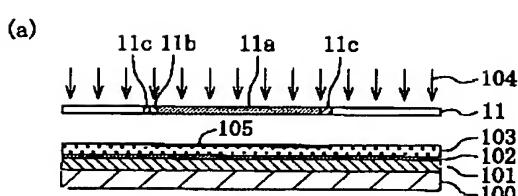
【図1】



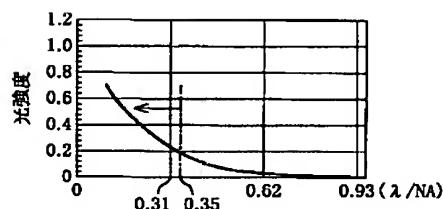
【図2】



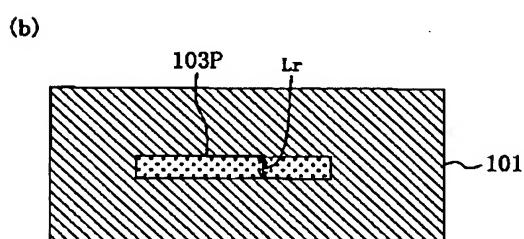
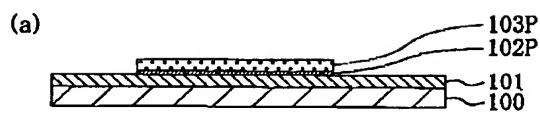
【図3】



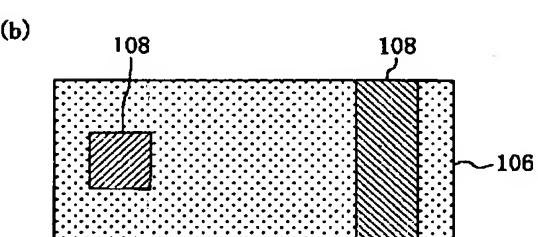
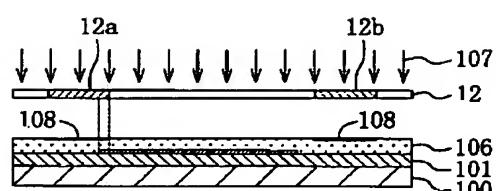
【図18】



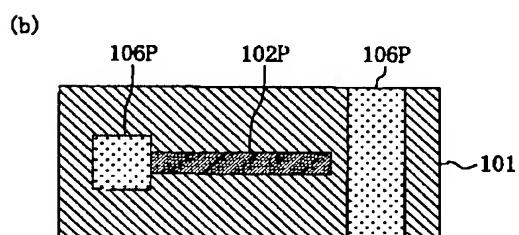
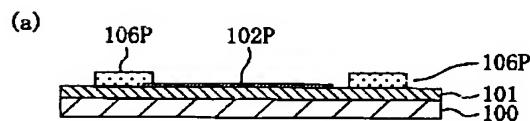
【図4】



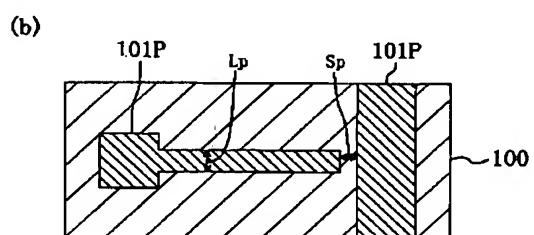
【図5】



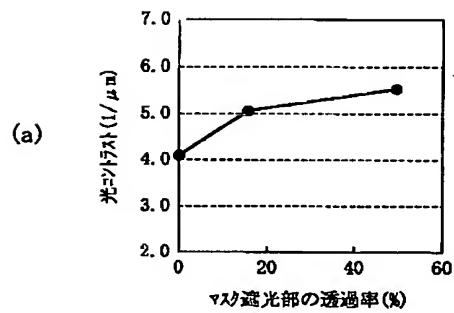
【図6】



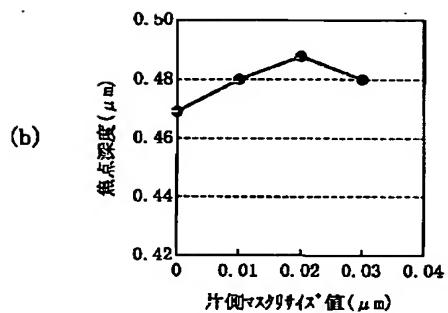
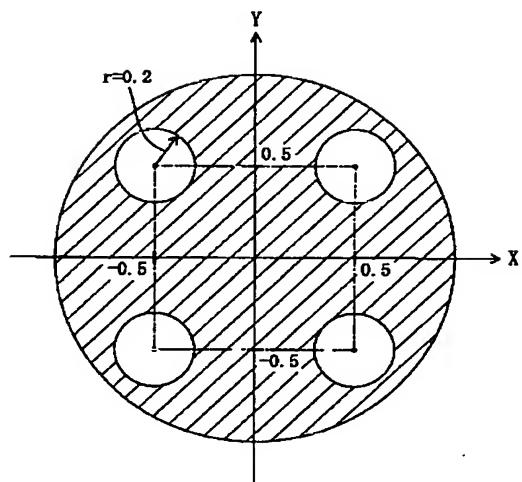
【図7】



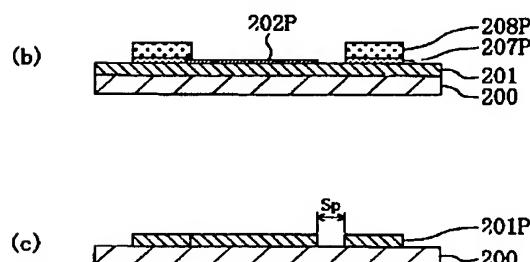
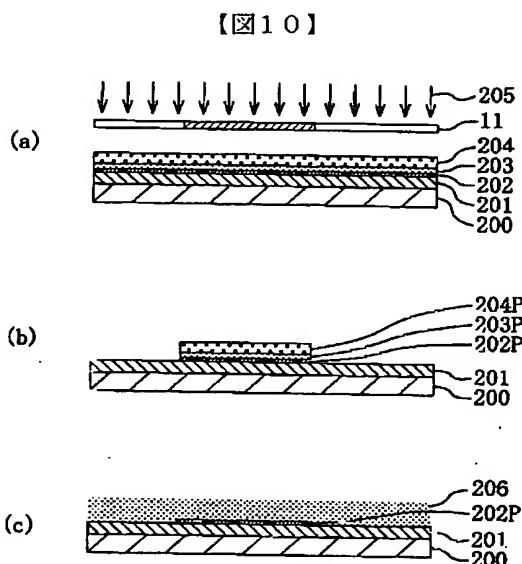
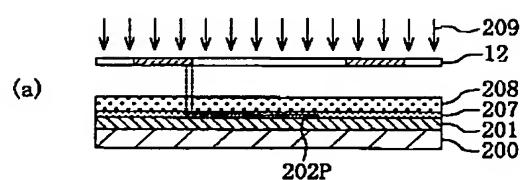
【図8】



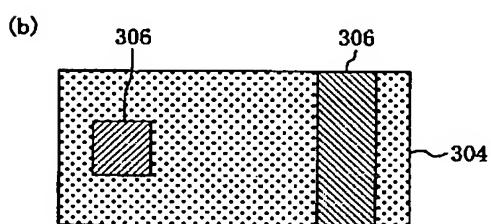
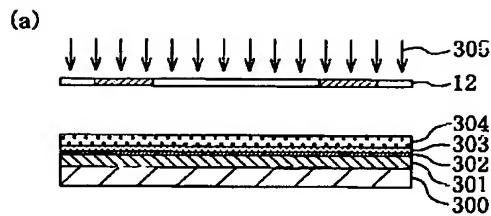
【図9】



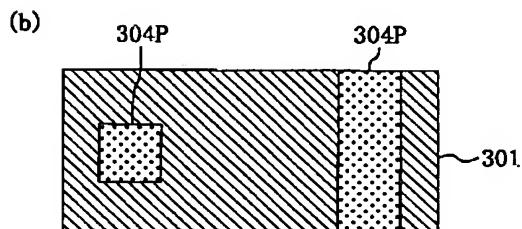
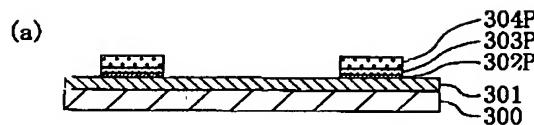
【図11】



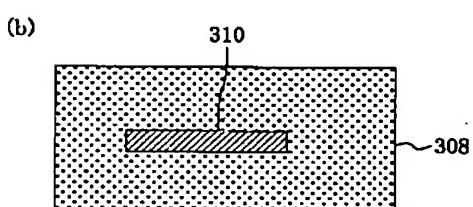
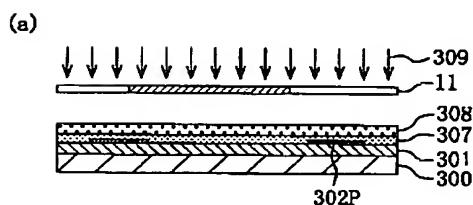
【図12】



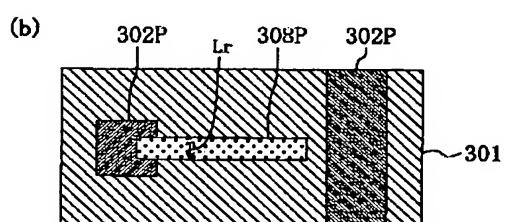
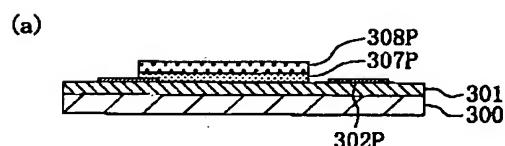
【図13】



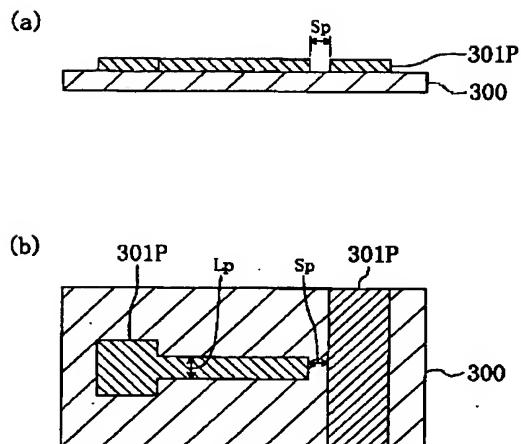
【図14】



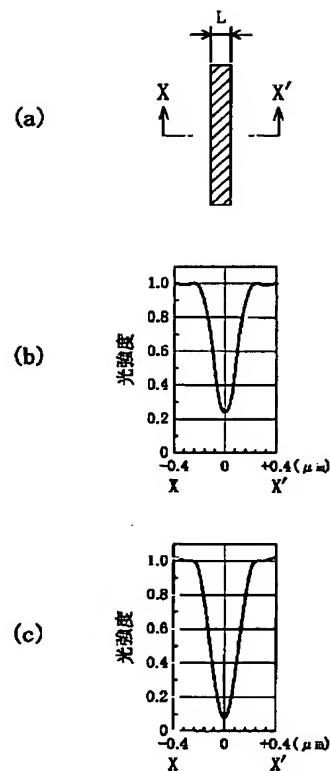
【図15】



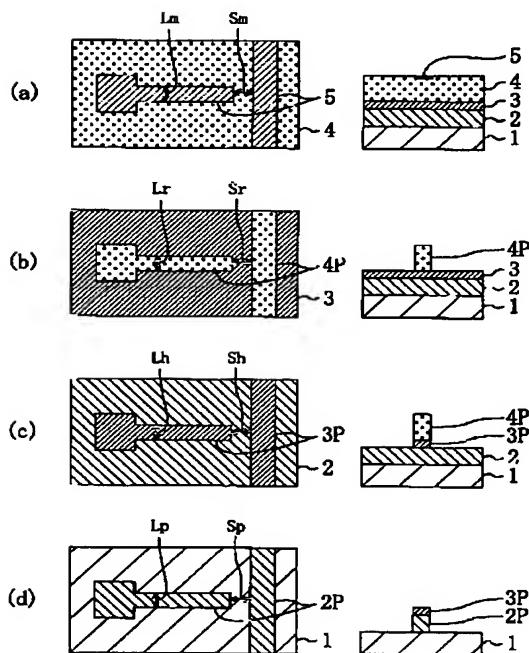
【図16】



【図17】



【図19】



フロントページの続き

(51) Int.Cl. ⁷	識別記号	F I	(参考)
H O 1 L	21/3205	H O 1 L	J
		21/302	B
		21/88	

F ターム(参考) 2H095 BA05 BA12 BB02 BB03 BB14
BB36 BC08
4M104 BB01 CC05 DD62 DD64 DD71
GG09 GG14 HH14
5F004 DB02 EA00 EA01 EA06 EA07
EA09 EA10 EA22 EB02
5F033 HH04 QQ01 QQ04 QQ08 QQ19
QQ28 VV06 XX03
5F046 AA13 AA25 BA03 BA08 CA04
CB17 CB23 PA04